

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-359356

(43) Date of publication of application : 13.12.2002

(51)Int.Cl. H01L 27/105
G11C 11/14
G11C 11/15
H01L 21/8234
H01L 27/06
H01L 27/10
H01L 43/08

(21)Application number : 2002-037327

(71)Applicant : TOSHIBA CORP

(22) Date of filing : 14.02.2002

(72)Inventor : ASAOKI YOSHIAKI

SUNOCHI KAZUMASA
NAKAJIMA KENTARO

(30)Priority

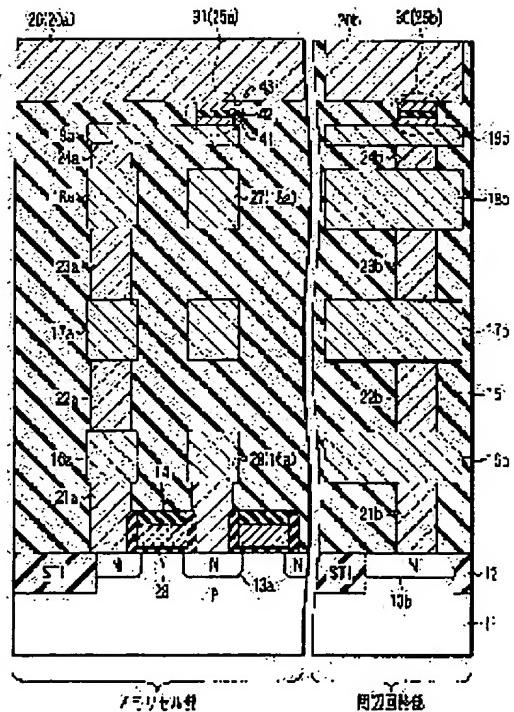
Priority number : 2001096682 Priority date : 29.03.2001 Priority country : JP

(54) SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce area of a chip by using a TMR element as a resistance element or a fuse element or a contact, in a peripheral circuit.

SOLUTION: A memory cell is provided with a first wiring 27 which is stretched in a first direction, a second wiring 26 which is arranged above the first wiring 27 and stretched in a second direction different from the first direction, a third wiring 19a which is arranged between the first and the second wirings 26, 27, and a magneto resistance element 25a which is arranged at an intersection point of the first and the second wirings 26, 27 which point exists between the first and the second wirings 26, 27, and is connected with the second and the third wirings 26, 19a. The peripheral circuit is provided with a fourth wiring 19b, a fifth wiring 20b arranged above



BEST AVAILABLE COPY

magneto resistance element 25b which is arranged between the fourth and the fifth wirings 19b, 20b, connected with the fourth and the fifth wirings 19b, 20b and used as the resistance element 30.

LEGAL STATUS

[Date of request for examination] 27.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-359356
(P2002-359356A)

(43)公開日 平成14年12月13日 (2002.12.13)

(51)Int.Cl.
H 01 L 27/105
G 11 C 11/14
11/15
H 01 L 21/8234
27/06

識別記号

F I
G 11 C 11/14
11/15
H 01 L 27/10
43/08
27/10

テマコード(参考)
A 5 F 0 4 8
5 F 0 8 3

4 8 1
Z
4 4 7

審査請求 未請求 請求項の数20 OL (全 23 頁) 最終頁に統く

(21)出願番号 特願2002-37327(P2002-37327)
(22)出願日 平成14年2月14日 (2002.2.14)
(31)優先権主張番号 特願2001-96682(P2001-96682)
(32)優先日 平成13年3月29日 (2001.3.29)
(33)優先権主張国 日本 (JP)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 浅尾 吉昭
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 須之内 一正
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

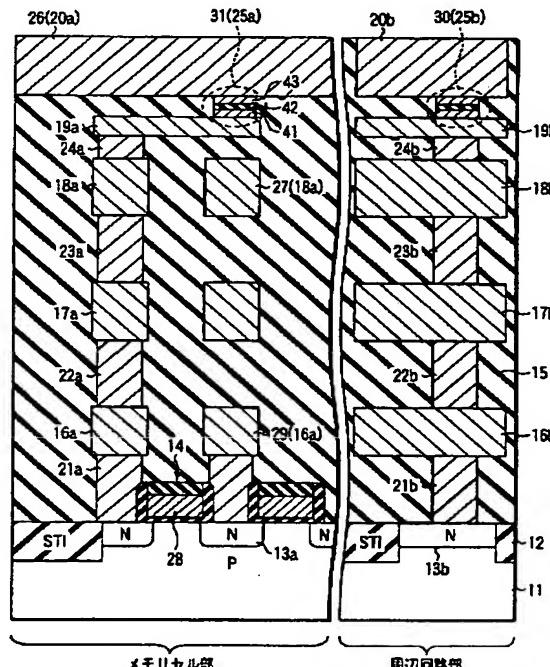
最終頁に統く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 周辺回路部において、TMR素子を抵抗素子、フューズ素子又はコンタクトとして用いることにより、チップ面積の縮小を図る。

【解決手段】 メモリセル部は、第1の方向に延在された第1の配線27と、この第1の配線27の上方に配置され、第1の方向と異なる第2の方向に延在された第2の配線26と、第1及び第2の配線26, 27間に配置された第3の配線19aと、第1及び第2の配線26, 27間の第1及び第2の配線26, 27の交点に配置され、第2及び第3の配線26, 19aに接続された第1の磁気抵抗効果素子25aとを具備する。また、周辺回路部は、第4の配線19bと、この第4の配線19bの上方に配置された第5の配線20bと、第4及び第5の配線19b, 20b間に配置され、第4及び第5の配線19b, 20bに接続され、抵抗素子30として使用する第2の磁気抵抗効果素子25bとを具備する。



1

【特許請求の範囲】

【請求項1】 メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、

前記メモリセル部は、

第1の方向に延在された第1の配線と、

前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、

前記第1及び第2の配線間に配置された第3の配線と、

前記第1及び第2の配線間の前記第1及び第2の配線の交点に配置され、前記第2及び第3の配線に接続された第1の磁気抵抗効果素子とを具備し、

前記周辺回路部は、

第4の配線と、

前記第4の配線の上方に配置された第5の配線と、

前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子、フューズ素子及びコンタクトのいずれかとして使用する第2の磁気抵抗効果素子とを具備することを特徴とする半導体記憶装置。

【請求項2】 メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、

前記メモリセル部は、

第1の方向に延在された第1の配線と、

前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、

前記第1及び第2の配線間の前記第1及び第2の配線の交点に配置され、前記第1及び第2の配線に接続された第1の磁気抵抗効果素子とを具備し、

前記周辺回路部は、

第4の配線と、

前記第4の配線の上方に配置された第5の配線と、

前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子又はフューズ素子として使用する第2の磁気抵抗効果素子とを具備することを特徴とする半導体記憶装置。

【請求項3】 メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、

前記メモリセル部は、

第1の方向に延在された第1の配線と、

前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、

前記第1及び第2の配線間に配置された第3の配線と、

前記第2及び第3の配線間の前記第1及び第2の配線の交点に配置され、前記第2及び第3の配線に接続されることにより互いに並列に接続された複数の第1の磁気抵抗効果素子とを具備し、

前記周辺回路部は、

第4の配線と、

2

前記第4の配線の上方に配置された第5の配線と、前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子、フューズ素子及びコンタクトのいずれかとして使用する第2の磁気抵抗効果素子とを具備することを特徴とする半導体記憶装置。

【請求項4】 メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、

前記メモリセル部は、

第1の方向に延在された第1の配線と、

前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、

前記第1及び第2の配線間の前記第1及び第2の配線の交点に配置され、一端部と他端部とを有する第1の磁気抵抗効果素子と、

前記第1の磁気抵抗効果素子の前記一端部に接続された第3の配線と、

前記第1の磁気抵抗効果素子の前記他端部に接続された第6の配線とを具備するプロックが半導体基板上に積み重ねられ、この積み重ねられたプロック内の前記第1の磁気抵抗効果素子は互いに直列に又は並列に接続されており、

前記周辺回路部は、

第4の配線と、

前記第4の配線の上方に配置された第5の配線と、

前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子、フューズ素子及びコンタクトのいずれかとして使用する第2の磁気抵抗効果素子とを具備することを特徴とする半導体記憶装置。

【請求項5】 メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、

前記メモリセル部は、

第1の方向に延在された第1の配線と、

前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、

前記第1及び第2の配線間に配置された第3の配線と、前記第2及び第3の配線間の前記第1及び第2の配線の交点に配置され、前記第2及び第3の配線に接続された第1の磁気抵抗効果素子とを具備するプロックが半導体基板上に積み重ねられ、この積み重ねられたプロック内の前記第3の配線が互いに接続されており、

前記周辺回路部は、

第4の配線と、

前記第4の配線の上方に配置された第5の配線と、

前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子、フューズ素子及びコンタクトのいずれかとして使用する第2の磁気抵抗効果素子とを具備することを特徴とする半導体記憶装置。

【請求項6】 前記第1の磁気抵抗効果素子に接続され

たトランジスタ又はダイオードとをさらに具備することを特徴とする請求項1に記載の半導体記憶装置。

【請求項7】 前記直列に又は並列に互いに接続された第1の磁気抵抗効果素子の一端部に接続されたトランジスタ又はダイオードと、

前記直列に又は並列に互いに接続された第1の磁気抵抗効果素子の他端部に接続された第7の配線とをさらに具備することを特徴とする請求項4に記載の半導体記憶装置。

【請求項8】 互いに接続された第3の配線に接続されたトランジスタ又はダイオードとをさらに具備することを特徴とする請求項5に記載の半導体記憶装置。

【請求項9】 前記第2の磁気抵抗効果素子を前記抵抗素子として使用する場合、

前記第2の磁気抵抗効果素子を前記第2の延在方向に複数配置し、これら複数の第2の磁気抵抗効果素子を直列に又は並列に接続することにより、前記抵抗素子の抵抗値を変化させることを特徴とする請求項1に記載の半導体記憶装置。

【請求項10】 前記第2の磁気抵抗効果素子を前記抵抗素子として使用する場合、

前記第2の磁気抵抗効果素子の一部を構成する非磁性層の膜厚を変化させることにより、前記抵抗素子の抵抗値を変化させることを特徴とする請求項1に記載の半導体記憶装置。

【請求項11】 前記第2の磁気抵抗効果素子を前記抵抗素子として使用する場合、

前記第2の磁気抵抗効果素子の一部を構成する第1及び第2の磁性層の磁化方向を平行又は反平行にすることにより、前記抵抗素子の抵抗値を変化させることを特徴とする請求項1に記載の半導体記憶装置。

【請求項12】 前記第2の磁気抵抗効果素子を前記コントラクトとして使用する場合、

前記第4の配線と離間して配置された第8の配線と、前記第8の配線と前記第4の配線との間に形成された絶縁膜とをさらに具備し、

前記絶縁膜と、前記第4の配線と、前記第8の配線とでキャバシタが形成されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項13】 前記第1の磁気抵抗効果素子と前記第2の磁気抵抗効果素子とは同一階層に形成されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項14】 前記第2の配線と前記第5の配線とは同一階層に形成され、

前記第3の配線と前記第4の配線とは同一階層に形成されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項15】 前記第1及び第2の磁気抵抗効果素子は、TMR素子又はGMR素子であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項16】 前記第1及び第2の磁気抵抗効果素子は、TMR素子であり、

前記TMR素子は、1層のトンネル接合層を含む1重トンネル接合構造、又は、2層のトンネル接合層を含む2重トンネル接合構造であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項17】 前記第1の配線と前記第2又は第3の配線の一方とに電流を流すことにより、前記複数の第1の磁気抵抗効果素子のうちの任意の第1の磁気抵抗効果素子に第1又は第2の状態が書き込まれることを特徴とする請求項3に記載の半導体記憶装置。

【請求項18】 前記複数の第1の磁気抵抗効果素子に第1の電流が流れ、この第1の電流の第1の電流値が記憶され、

前記任意の第1の磁気抵抗効果素子に前記第1又は第2の状態が再び書き込まれた後、前記複数の第1の磁気抵抗効果素子に第2の電流が流れ、この第2の電流の第2の電流値が記憶され、

前記第1の電流値と前記第2の電流値とを比較することによって、前記任意の第1の磁気抵抗効果素子に書き込まれた前記第1又は第2の状態が判別されることを特徴とする請求項17に記載の半導体記憶装置。

【請求項19】 前記第1の配線と前記第2の配線とに電流を流すことにより、前記直列に又は並列に互いに接続された第1の磁気抵抗効果素子のうちの任意の第1の磁気抵抗効果素子に第1又は第2の状態が書き込まれることを特徴とする請求項4に記載の半導体記憶装置。

【請求項20】 前記直列に又は並列に互いに接続された第1の磁気抵抗効果素子に第1の電流が流れ、この第1の電流の第1の電流値が記憶され、

前記任意の第1の磁気抵抗効果素子に前記第1又は第2の状態が再び書き込まれた後、前記直列に又は並列に互いに接続された第1の磁気抵抗効果素子に第2の電流が流れ、この第2の電流の第2の電流値が記憶され、前記第1の電流値と前記第2の電流値とを比較することによって、前記任意の第1の磁気抵抗効果素子に書き込まれた前記第1又は第2の状態が判別されることを特徴とする請求項19に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係わり、特にトンネル磁気抵抗（TMR：Tunneling Magneto Resistive）素子を記憶素子として用いた磁気記憶装置（MRAM：Magnetic Random Access Memory）に関する。

【0002】

【従来の技術】近年、情報記憶素子として、トンネル磁気抵抗効果（Tunneling Magneto Resistive：以下、TMRと称す）を利用したMRAM（Magnetic Random Access Memory）メモリセルが提案されている。

【0003】図33は、従来技術による半導体記憶装置の等価回路図を示す。図34は、TMR素子の概略的な断面図を示す。

【0004】図33に示すように、ビット線26とワード線27、28とが互いに直交するように配置され、このうちビット線26と書き込みワード線27との交点にTMR素子25が配置されている。このTMR素子25の一端部はビット線26に接続され、他端部はトランジスタ14に接続されている。そして、このトランジスタ14のゲート電極が読み出しワード線28になっている。

【0005】このようなTMR素子25は、2つの磁性層と、これら磁性層に挟まれた非磁性層とからなる3層構造になっている。つまり、図34に示すように、TMR素子25は、下部電極17に接続する磁化固定層41と、上部電極(図示せず)を介してビット線26に接続する磁気記録層43と、これら磁化固定層41と磁気記録層43とに挟まれた薄いトンネル接合層42とで構成される。

【0006】ここで、磁化固定層41は、反強磁性層と強磁性層で構成されており、磁化が一方向に固定されているためピン層と呼ばれる。一方、磁気記録層43は、強磁性層で構成されており、磁化方向が自由に変えられ情報を貯えるためメモリ層と呼ばれる。この磁気記録層43の磁化方向は、ビット線26に流れる電流と書き込みワード線27に流れる電流とで形成される合成磁界によって変化させることができる。

【0007】図35、図36は、従来技術による半導体記憶装置の断面図を示す。図35、図36に示す積層構造の半導体記憶装置は、メモリセル部と、このメモリセル部の周囲に配置された周辺回路部とからなる。

【0008】メモリセル部では、例えばP型の半導体基板(又はウェル)11内には、STI(Shallow Trench Isolation)構造の素子分離領域12と例えばN型の拡散層13aとが選択的に形成される。半導体基板11上には、MOSFET14が選択的に形成される。半導体基板11上の絶縁膜15内には、第1乃至第5の配線16a、17a、18a、19a、20aが形成される。そして、拡散層13aと第1の配線16aとは第1のコンタクト21aで接続され、第1の配線16aと第2の配線17aとは第2のコンタクト22aで接続され、第2の配線17aと第3の配線18aとは第3のコンタクト23aで接続され、第3の配線18aと第4の配線19aとは第4のコンタクト24aで接続される。そして、第4の配線19aと第5の配線20aとはTMR素子25で接続される。このTMR素子25は、磁化固定層(磁性層)41、トンネル接合層(非磁性層)42、磁気記録層(磁性層)43とで構成される。

【0009】そして、TMR素子25に接続される第5の配線20aはビット線26となる。第4の配線19aに接続されていない第3の配線18aは書き込みワード

線27となり、この書き込みワード線27はビット線26と直交するように配置される。このビット線26と書き込みワード線27との交点に配置されたTMR素子25は記憶素子として用いられる。このTMR素子25に電気的に接続されたMOSFET14はスイッチング素子として機能し、このMOSFET14のゲート電極は読み出しワード線28となる。第2の配線17aに接続されていない第1の配線16aは、Gnd(グランド)線29となる。

【0010】このようなメモリセルにおける情報の書き込み・読み出し動作について簡単に説明する。

【0011】まず、TMR素子25に“1”、“0”データを書き込む場合は、一対の書き込みワード線27及びビット線26を選択し、この選択された書き込みワード線27及びビット線26の両方に電流を流して電流磁界を各々発生させる。これにより、書き込みワード線27とビット線26とのクロスポイント部に位置している選択セルにかかる磁界のみが、TMR素子25の磁化の反転閾値を超えて、情報が書き込まれる。

【0012】この際、例えば、磁化固定層41と磁気記録層43の磁化方向が平行になった場合、トンネル接合層42に電流を流すことにより検出されたトンネル抵抗は最も低くなり、この状態で例えば“1”を記憶させることができる。一方、磁化固定層41と磁気記録層43の磁化方向が反平行になった場合、トンネル接合層42に電流を流すことにより検出されたトンネル抵抗は最も高くなり、この状態で例えば“0”を記憶させることができる。つまり、MRAMでは、このトンネル抵抗の差を“1”、“0”データとして記憶する。

【0013】一方、TMR素子25に書き込まれた“1”、“0”データを読み出す場合は、読み出しワード線28とビット線26とを選択すると、ビット線26からTMR素子25とMOSFET14を通してGnd線19に電流が流れ、異なるTMR素子25間のトンネル抵抗の違いを周辺回路が情報として読み取ることにより、“1”、“0”データの判定が行われる。

【0014】

【発明が解決しようとする課題】以上のようなメモリセル部を有する従来の半導体記憶装置において、このメモリセル部を制御するためにメモリセル部の周辺に周辺回路部が設けられる。この周辺回路部について以下に説明する。

【0015】図35は、周辺回路部に抵抗素子を備えた例である。図35に示すように、拡散層32bがコンタクト21bを介して配線16bに接続される。ここで、周辺回路部の拡散層13bは抵抗素子30として機能する。この抵抗素子30の抵抗値は、拡散層32bの表面積を拡大することによって高められる。しかし、この場合、拡散層32bの表面積の拡大によって、チップ面積が大きくなる。このため、チップの微細化を図ることが

困難であった。

【0016】図36は、周辺回路部にフューズ素子を備えた例である。図36に示すように、拡散層13bが第1のコンタクト21bを介して第1の配線16bに接続され、この第1の配線16bは第2のコンタクト22bを介して第2の配線17bに接続される。この第2の配線17bはラッチ回路(図示せず)に接続される。これらの周辺回路部の配線及びコンタクトはフューズ素子50として機能する。このように、従来のフューズ素子50は、メモリセル部と異なるパターンで形成されている。そのような従来では、素子の微細化に伴い、チップ面積に対するフューズ素子50の占有面積を縮小することが望まれていた。

【0017】本発明は上記課題を解決するためになされたものであり、その目的とするところは、チップ面積の縮小が可能な半導体記憶装置を提供することにある。

【0018】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0019】本発明の第1の視点による半導体記憶装置は、メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、前記メモリセル部は、第1の方向に延在された第1の配線と、前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、前記第1及び第2の配線間に配置された第3の配線と、前記第1及び第2の配線間の前記第1及び第2の配線の交点に配置され、前記第2及び第3の配線に接続された第1の磁気抵抗効果素子とを具備し、前記周辺回路部は、第4の配線と、前記第4の配線の上方に配置された第5の配線と、前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子、フューズ素子及びコンタクトのいずれかとして使用する第2の磁気抵抗効果素子とを具備する。

【0020】本発明の第2の視点による半導体記憶装置は、メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、前記メモリセル部は、第1の方向に延在された第1の配線と、前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、前記第1及び第2の配線間の前記第1及び第2の配線の交点に配置され、前記第1及び第2の配線に接続された第1の磁気抵抗効果素子とを具備し、前記周辺回路部は、第4の配線と、前記第4の配線の上方に配置された第5の配線と、前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子又はフューズ素子として使用する第2の磁気抵抗効果素子とを具備する。

【0021】本発明の第3の視点による半導体記憶装置は、メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、前

記メモリセル部は、第1の方向に延在された第1の配線と、前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、前記第1及び第2の配線間に配置された第3の配線と、前記第2及び第3の配線間の前記第1及び第2の配線の交点に配置され、前記第2及び第3の配線に接続されることにより互いに並列に接続された複数の第1の磁気抵抗効果素子とを具備し、前記周辺回路部は、第4の配線と、前記第4の配線の上方に配置された第5の配線と、前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子、フューズ素子及びコンタクトのいずれかとして使用する第2の磁気抵抗効果素子とを具備する。

【0022】本発明の第4の視点による半導体記憶装置は、メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、前記メモリセル部は、第1の方向に延在された第1の配線と、前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、前記第1及び第2の配線間の前記第1及び第2の配線の交点に配置され、一端部と他端部とを有する第1の磁気抵抗効果素子と、前記第1の磁気抵抗効果素子の前記一端部に接続された第3の配線と、前記第1の磁気抵抗効果素子の前記他端部に接続された第6の配線とを具備するプロックが半導体基板上に積み重ねられ、この積み重ねられたプロック内の前記第1の磁気抵抗効果素子は互いに直列に又は並列に接続されており、前記周辺回路部は、第4の配線と、前記第4の配線の上方に配置された第5の配線と、前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子、フューズ素子及びコンタクトのいずれかとして使用する第2の磁気抵抗効果素子とを具備する。

【0023】本発明の第5の視点による半導体記憶装置は、メモリセル部と、このメモリセル部の周辺に配置された周辺回路部とを備えた半導体記憶装置であって、前記メモリセル部は、第1の方向に延在された第1の配線と、前記第1の配線の上方に配置され、前記第1の方向と異なる第2の方向に延在された第2の配線と、前記第1及び第2の配線間に配置された第3の配線と、前記第2及び第3の配線間の前記第1及び第2の配線の交点に配置され、前記第2及び第3の配線に接続された第1の磁気抵抗効果素子とを具備するプロックが半導体基板上に積み重ねられ、この積み重ねられたプロック内の前記第3の配線が互いに接続されており、前記周辺回路部は、第4の配線と、前記第4の配線の上方に配置された第5の配線と、前記第4及び第5の配線間に配置され、前記第4及び第5の配線に接続され、抵抗素子、フューズ素子及びコンタクトのいずれかとして使用する第2の磁気抵抗効果素子とを具備する。

【0024】

【発明の実施の形態】本発明は、例えばトンネル磁気抵抗（TMR：Tunneling Magneto Resistive）効果素子を記憶素子として用いた磁気記憶装置（MRAM：Magnetic RandomAccess Memory）に関するものである。このMRAMでは、TMR素子を備えたメモリセルをマトリクス状に複数個配置したメモリセルアレイを形成し、このメモリセルアレイの周辺にデコーダ及びセンス回路等の周辺回路を設け、任意のセルにランダムアクセスすることによって、情報の書き込み・読み出し動作を可能にしたものである。

【0025】本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参考符号を付す。

【0026】【第1の実施形態】第1の実施形態は、メモリセル部ではTMR素子を記憶素子として用い、周辺回路部ではTMR素子を抵抗素子として用いたものである。

【0027】図1は、本発明の第1の実施形態に係る半導体記憶装置の断面図を示す。図2は、周辺回路部におけるTMR素子を直列接続する場合の半導体記憶装置の一部断面図を示す。図3は、周辺回路部におけるTMR素子を並列接続する場合の半導体記憶装置の一部断面図を示す。

【0028】図1に示すように、例えばP型の半導体基板（又はウェル）11内には、STI（Shallow Trench Isolation）構造の素子分離領域12と例えばN型の拡散層13a、13bとが選択的に形成される。半導体基板11上には、MOSFET14が選択的に形成される。半導体基板11上の絶縁膜15内には、第1乃至第5の配線16a、16b、17a、17b、18a、18b、19a、19b、20a、20bが形成される。そして、拡散層13a、13bと第1の配線16a、16bとは第1のコンタクト21a、21bで接続され、第1の配線16a、16bと第2の配線17a、17bとは第2のコンタクト22a、22bで接続され、第2の配線17a、17bと第3の配線18a、18bとは第3のコンタクト23a、23bで接続され、第3の配線18a、18bと第4の配線19a、19bとは第4のコンタクト24a、24bで接続される。そして、第4の配線19a、19bと第5の配線20a、20bとはTMR素子25a、25bで接続される。このTMR素子25a、25bは、磁化固定層（磁性層）41、トンネル接合層（非磁性層）42、磁気記録層（磁性層）43とで構成される。

【0029】このような積層構造の半導体記憶装置は、メモリセル部と、このメモリセル部を制御する周辺回路部とからなる。

【0030】メモリセル部では、TMR素子25aは、“1”又は“0”データを記憶する記憶素子31として用いられる。そして、TMR素子25aに接続される第

5の配線20aはビット線26となる。また、第4の配線19aに接続されていない第3の配線18aは書き込みワード線27となり、この書き込みワード線27はビット線26と例えば直交するように配置される。このTMR素子25aに電気的に接続されたMOSFET14はデータ読み出し用のスイッチング素子として機能し、このMOSFET14のゲート電極は読み出しワード線28となる。第2の配線17aに接続されていない第1の配線16aは、Gnd（グランド）線29となる。

【0031】周辺回路部では、第4の配線19bと第5の配線20bとを接続するTMR素子25bは抵抗素子30として用いられる。この抵抗素子30の抵抗は、例えば、次のような方法で調整することが可能である。

【0032】図2、図3に示すように、抵抗素子30の抵抗値を変化させる場合は、TMR素子25bの配列を変更すればよい。つまり、TMR素子25bを直列接続する場合（図2）、TMR素子25bの数を変更することによって、抵抗素子30は任意の高い抵抗値を得ることができ。また、TMR素子25bを並列接続する場合（図3）、加工寸法ばらつきによる抵抗値のばらつきが平均化でき、精度の高い抵抗素子30が実現できる。

【0033】また、抵抗素子30の抵抗は、TMR素子25bの一部を構成するトンネル接合層42の膜厚によって調整することも可能である。

【0034】また、抵抗素子30の抵抗は、TMR素子25bの磁性層41、43の磁化方向を平行又は反平行にすることにより、調整することも可能である。ここで、平行とは、磁性層41、43の磁化方向が同じ方向を向いている状態を意味し、平行とは、磁性層41、43の磁化方向が反対の方向を向いている状態を意味する。

【0035】このように、記憶素子31又は抵抗素子30として用いられるTMR素子25a、25bは、以下に示す1重トンネル接合構造又は2重トンネル接合構造となっており、いずれの構造であってもよい。

【0036】図4(a)、図4(b)は、1重トンネル接合構造のTMR素子の断面図を示す。以下、1重トンネル接合構造のTMR素子25a、25bの構造について説明する。

【0037】図4(a)に示すTMR素子25a、25bは、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層された磁化固定層41と、この磁化固定層41上に形成されたトンネル接合層42と、このトンネル接合層42上に自由強磁性層105、接点層106が順に積層された磁気記録層43とからなる。

【0038】同様に、図4(b)に示すTMR素子25a、25bは、テンプレート層101、初期強磁性層102、反強磁性層103、強磁性層104'、非磁性層107、強磁性層104"が順に積層された磁化固定層

41と、この磁化固定層41上に形成されたトンネル接合層42と、このトンネル接合層42上に強磁性層105'、非磁性層107、強磁性層105"、接点層106が順に積層された磁気記録層43とからなる。

【0039】尚、この図4(b)に示すTMR素子25a、25bでは、磁化固定層41内の強磁性層104'、非磁性層107、強磁性層104"からなる3層構造と、磁気記録層43内の強磁性層105'、非磁性層107、強磁性層105"からなる3層構造とを導入することで、図4(a)に示すTMR素子25a、25bよりも、強磁性内部の磁極の発生を抑制し、微細化に適したセル構造が提供できる。

【0040】図5(a)、図5(b)は、2重トンネル接合構造のTMR素子の断面図を示す。以下、2重トンネル接合構造のTMR素子25a、25bの構造について説明する。

【0041】図5(a)に示すTMR素子25a、25bは、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層された第1の磁化固定層41aと、この第1の磁化固定層41a上に形成された第1のトンネル接合層42aと、この第1のトンネル接合層42a上に形成された磁気記録層43と、この磁気記録層43上に形成された第2のトンネル接合層42bと、この第2のトンネル接合層42b上に基準強磁性層104、反強磁性層103、初期強磁性層102、接点層106が順に積層された第2の磁化固定層41bとからなる。

【0042】図5(b)に示すTMR素子25a、25bは、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層され第1の磁化固定層41aと、この第1の磁化固定層41a上に形成された第1のトンネル接合層42aと、この第1のトンネル接合層42a上に強磁性層43'、非磁性層107、強磁性層43"の3層構造によって順に積層された磁気記録層43と、この磁気記録層43上に形成された第2のトンネル接合層42bと、この第2のトンネル接合層42b上に強磁性層104'、非磁性層107、強磁性層104"、反強磁性層103、初期強磁性層102、接点層106が順に積層された第2の磁化固定層41bとからなる。

【0043】尚、この図5(b)に示すTMR素子25a、25bでは、磁気記録層43を構成する強磁性層43'、非磁性層107、強磁性層43"の3層構造と、第2の磁化固定層41b内の強磁性層104'、非磁性層107、強磁性層104"からなる3層構造とを導入することで、図5(a)に示すTMR素子25a、25bよりも、強磁性内部の磁極の発生を抑制し、微細化に適したセル構造が提供できる。

【0044】このような2重トンネル接合構造のTMR素子25a、25bを用いることによって、1重トンネ

ル接合構造のTMR素子25a、25bを用いた場合と比較して、同じ外部バイアスを印加したときのMR(Magneto Resistive)比("1"状態、"0"状態の抵抗の変化率)の劣化が少なく、より高いバイアスで動作できる。すなわち、セル内の情報を外部に読み出す際に有利となる。

【0045】このような1重トンネル接合構造又は2重トンネル接合構造のTMR素子25a、25bは以下の材料を用いて形成される。

【0046】磁化固定層41、41a、41b及び磁気記録層43の材料には、例えれば、Fe, Co, Ni又はそれらの合金、スピニ分極率の大きいマグネタイト、CrO₂, RXMnO_{3-y}(R、希土類、X、Ca, Ba, Sr)などの酸化物の他、NiMnSb, PtMnSbなどのホイスラー合金などを用いることが好ましい。また、これら磁性体には、強磁性を失わないかぎり、Ag, Cu, Au, Al, Mg, Si, Bi, Ta, B, C, O, N, Pd, Pt, Zr, Ir, W, Mo, Nbなどの非磁性元素が多少含まれていてもよい。

【0047】磁化固定層41、41a、41bの一部を構成する反強磁性層103の材料には、Fe-Mn, Pt-Mn, Pt-Cr-Mn, Ni-Mn, Ir-Mn, NiO, Fe₂O₃などを用いることが好ましい。

【0048】トンネル接合層42、42a、42bの材料には、Al₂O₃, SiO₂, MgO, AlN, Bi₂O₃, MgF₂, CaF₂, SrTiO₃, AlLaO₃などの様々な誘電体を使用することができる。これらの誘電体には、酸素、窒素、フッ素欠損が存在してもかまわない。

【0049】以上のように、メモリセル部において、TMR素子25aを記憶素子31として用いた場合のデータの書き込み及び読み出しが、以下のように行われる。

【0050】TMR素子25aにデータを書き込む場合は、ビット線26及び書き込みワード線27を選択し、これらビット線26及び書き込みワード線27にそれぞれ電流を流し、電流磁界を発生させる。これにより、ビット線26及び書き込みワード線27のそれぞれに発生した電流磁界の合成磁界がTMR素子25aにかかり、TMR素子25aに"1"又は"0"のデータが書き込まれる。

【0051】TMR素子25aに書き込まれたデータを読み出す場合は、TMR素子25aにつながるMOSFET14をONにし、TMR素子25aからMOSFET14の拡散層13aに電流を流す。これにより、TMR素子25aの抵抗値を読みとり、"1"又は"0"のデータの判断が行われる。

【0052】上記第1の実施形態によれば、周辺回路部の抵抗素子30は、配線間に配置されたTMR素子25bで形成される。すなわち、メモリセル部と同様の構造で、周辺回路部の抵抗素子30が形成される。したがつ

て、拡散層で抵抗素子を形成していた従来に比べて、抵抗素子30の専有面積を減少できるため、チップ面積の縮小が可能となる。

【0053】具体的には、図6に示すように、拡散層32bによって抵抗素子を形成していた従来技術では、拡散層32bのシート抵抗は $250\Omega/\text{シート}$ である。このため、 $10k\Omega$ の抵抗値の抵抗素子が必要な場合は、40シート分の面積が必要となる。これに対し、第1の実施形態では、抵抗素子30の抵抗値は、TMR素子25bの表面積の増減で変化するのではなく、例えばトンネル接合層42の抵抗値等によって決まる。従って、図7に示すように、 $10k\Omega$ の抵抗値の抵抗素子30が必要な場合も、トンネル接合層42の抵抗値を $10k\Omega$ にすれば、TMR素子25bの表面積を増加させずに抵抗値の調整が可能である。

【0054】また、周辺回路部の複数のTMR素子25bを直列に接続すれば、高抵抗の抵抗素子30を実現することが可能である。一方、周辺回路部の複数のTMR素子25bを並列に接続すれば、抵抗値のばらつきを抑制でき、精度の高い抵抗素子30が実現することが可能である。

【0055】【第2の実施形態】第2の実施形態は、メモリセル部ではTMR素子を記憶素子として用い、周辺回路部ではTMR素子OFFユーズ素子として用いたものである。

【0056】図8は、本発明の第2の実施形態に係る半導体記憶装置の断面図を示す。第2の実施形態において、第1の実施形態と同様の構造は説明を省略し、異なる構造についてのみ説明する。

【0057】第2の実施形態に係る積層構造の半導体記憶装置は、第1の実施形態と同様に、メモリセル部と、このメモリセル部を制御する周辺回路部とからなる。

【0058】周辺回路部では、第4の配線19bと第5の配線20bとを接続するTMR素子25bはフューズ素子50として利用する。フューズ素子50としての利用方法は、TMR素子25bに所定値以上の大電流を流すことと、TMR素子25bをブレークダウンさせる。これにより、TMR素子25bの抵抗は低下し、TMR素子25bに電流が流れ易くなる。このように、フューズ素子50は、周辺回路部のリダンダンシー回路において電気フューズとして使用される。

【0059】上記第2の実施形態によれば、周辺回路部のフューズ素子50は、配線間に配置されたTMR素子25bで形成される。すなわち、メモリセル部と同様の構造で、周辺回路部のフューズ素子50を形成できる。したがって、第2の実施形態では、メモリセル部と異なる構造でフューズ素子50を形成していた従来に比べて、フューズ素子50の面積を減少できるため、チップ面積の縮小が可能となる。

【0060】具体的には、図9に示すように、第1の配

線16bと第2の配線17bをコンタクト22bで接続し、第2の配線17b OFFユーズラッチ回路に接続する。したがって、ある程度の配線面積が必要であった。これに対し、第2の実施形態では、図10に示すように、第4の配線19bと第5の配線20b間にフューズ素子50を配置させ、第5の配線20bを制御回路に接続すればよい。したがって、従来よりも配線面積を縮小できるため、チップ面積を縮小することができる。

【0061】【第3の実施形態】第3の実施形態は、メモリセル部ではTMR素子を記憶素子として用い、周辺回路部ではTMR素子をコンタクトとして用いてキャパシタを形成したものである。

【0062】図11は、本発明の第3の実施形態に係る半導体記憶装置の断面図を示す。第3の実施形態において、第1の実施形態と同様の構造は説明を省略し、異なる構造についてのみ説明する。

【0063】第3の実施形態に係る積層構造の半導体記憶装置は、第1の実施形態と同様に、メモリセル部と、このメモリセル部を制御する周辺回路部とからなる。

【0064】メモリセル部では、第4の配線19aと書き込みワード線27との間の距離Xを短くすることにより、書き込み磁界を発生させる際の電流を低減することができるため、動作マージンを向上することができる。

【0065】そこで、周辺回路部の一部がメモリセル部と同一構造で形成された場合、メモリセル部の書き込みワード線27と対応する第3の配線18b' と第4の配線19b間の距離Xも非常に短くなる。このため、第3の配線18b' と、第4の配線19bと、これら第3、第4の配線18b' 、19b間の絶縁膜15とでキャパシタ61が形成される。この際、第4の配線19bと第5の配線20bとを接続するTMR素子25bはコンタクト60として利用する。ここで、第5の配線20bは、他の回路(図示せず)に接続される。

【0066】尚、TMR素子25bの抵抗は、一般的に $1K\Omega \cdot \mu m^2$ 程度であるが、例えば $100\Omega \cdot \mu m^2$ や $10\Omega \cdot \mu m^2$ 程度に下げることも可能である。このため、TMR素子25bをコンタクトとして十分活用することは可能である。

【0067】上記第3の実施形態によれば、周辺回路部のコンタクト60は、配線間に配置されたTMR素子25bで形成される。すなわち、メモリセル部と周辺回路部とを同様の構造で形成することによって、メモリセル部と周辺回路部とを異なる構造で形成する場合と比べて無駄のない配線構造が実現できる。このため、チップ面積の縮小が可能となる。

【0068】さらに、メモリセル部において第4の配線19aと書き込みワード線27との間の距離Xを短くし、このメモリセル部と周辺回路部とを同様の構造で形成することによって、周辺回路部にキャパシタ61を形成することができる。

【0069】尚、第3の実施形態では、コンタクト60及び第5の配線20bを介してキャパシタ61を他の回路(図示せず)に接続する構造を示したが、これに限定されない。例えば、メモリセル部の拡散層13a、第1乃至第3の配線16a、17a、18a及び第1乃至第4のコンタクト21a、22a、23a、24aを周辺回路部にも同様に形成し、第4のコンタクト24aを第4の配線19bに接続する。これにより、キャパシタ61を拡散層13aに接続してもよい。尚、この場合、キャパシタ61は、コンタクト60及び第5の配線20bに接続しないように形成する。

【0070】[第4の実施形態] 第4の実施形態は、上記第1乃至第3の実施形態におけるメモリセル部の構造を変形したものであり、データ読み出し用のスイッチング素子としてダイオードを用いた場合である。

【0071】図12乃至図14は、本発明の第4の実施形態に係る半導体記憶装置の断面図を示す。第4の実施形態において、第1乃至第3の実施形態と同様の構造は簡略的に説明する。

【0072】メモリセル部は、記憶素子31として用いられるTMR素子25aに、P型拡散層71とN型拡散層72とからなるダイオード70が直列に接続されている。そして、このダイオード70が読み出し用のスイッチング素子として機能する。

【0073】ここで、スイッチング素子としてダイオード70を用いた場合、TMR素子25aには第1の実施形態と同様の方法でデータが書き込まれる。そして、TMR素子25aに書き込まれたデータの読み出しあは、このTMR素子25aに接続されたダイオード70に電流が流れるようにバイアス電圧を調整し、TMR素子25aの抵抗値を読み出すことにより実現される。

【0074】周辺回路部は、第1乃至第3の実施形態と同様の構造である。つまり、図12に示すように、第4の配線19bと第5の配線20bとを接続するTMR素子25bは抵抗素子30として用いられる。また、図13に示すように、第4の配線19bと第5の配線20bとを接続するTMR素子25bはフューズ素子50として利用される。また、図14に示すように、第3の配線18b'、第4の配線19bと、これら第3、第4の配線18b'、19b間の絶縁膜15とからキャパシタ61が形成される。この際、第4の配線19bと第5の配線20bとを接続するTMR素子25bは、コンタクト60として利用される。

【0075】上記第4の実施形態によれば、第1乃至第3の実施形態と同様の効果をそれぞれ得ることができる。

【0076】さらに、第4の実施形態では、読み出し用のスイッチング素子としてダイオード70を用いていることから、第1乃至第3の実施形態よりも、メモリセル部の専有面積を縮小することができる。

【0077】[第5の実施形態] 第5の実施形態は、上記第1乃至第3の実施形態におけるメモリセル部の構造を変形したものであり、読み出し用のスイッチング素子を用いずに、ビット線及びワード線の交点にTMR素子が配置されただけの構造である。

【0078】図15乃至図17は、本発明の第5の実施形態に係る半導体記憶装置の断面図を示す。第5の実施形態において、第1乃至第3の実施形態と同様の構造は簡略的に説明する。

【0079】メモリセル部は、ビット線26とワード線27'との交点に記憶素子31として用いられるTMR素子25aが配置され、このTMR素子25aはビット線26及びワード線27'にそれぞれ接続されている。ここで、ビット線26及びワード線27'は、読み出しひても書き込み時にも使用される。そして、第5の実施形態では、第1の実施形態などのような読み出し用のスイッチング素子が形成されていない。

【0080】このようなスイッチング素子を用いない場合、TMR素子25aには第1の実施形態と同様の方法でデータが書き込まれる。そして、TMR素子25aに書き込まれたデータの読み出しあは、このTMR素子25aに接続されたビット線26及びワード線27'を選択してTMR素子25aのみに電流を流し、TMR素子25aの抵抗値を読み出すことにより実現される。

【0081】周辺回路部は、第1乃至第3の実施形態と同様の構造である。つまり、図15に示すように、第4の配線19bと第5の配線20bとを接続するTMR素子25bは抵抗素子30として用いられる。また、図16に示すように、第4の配線19bと第5の配線20bとを接続するTMR素子25bはフューズ素子50として利用される。また、図17に示すように、配線18b'、配線20bと、これら配線18b'、20b間の絶縁膜15とからキャパシタ61が形成される。

【0082】上記第5の実施形態によれば、第1乃至第3の実施形態と同様の効果をそれぞれ得ることができる。

【0083】さらに、第5の実施形態では、読み出し用のスイッチング素子を形成しないことから、第1乃至第4の実施形態よりも、メモリセル部の専有面積をさらに縮小することができる。

【0084】[第6の実施形態] 第6の実施形態は、上記第1乃至第3の実施形態におけるメモリセル部の構造を変形したものであり、複数のTMR素子の両端を配線で接続した、いわゆる梯子型の構造である。

【0085】図18乃至図20は、本発明の第6の実施形態に係る半導体記憶装置の断面図を示す。第6の実施形態において、第1乃至第3の実施形態と同様の構造は簡略的に説明する。

【0086】メモリセル部は、記憶素子31として用いられる複数のTMR素子25aが、同一階層に並列に配

置されている。そして、各TMR素子25aの磁化固定層41は下部電極19aで接続され、各TMR素子25aの磁気記録層43はピット線26で接続されている。また、下部電極19aと離間してTMR素子25aの下方に、書き込みワード線27がそれぞれ配置されている。また、ピット線26には、例えば書き込み用のトランジスタ(図示せず)が接続され、下部電極19aには、例えば読み出し用のトランジスタ(図示せず)が接続されている。

【0087】このような梯子型の構造の場合、並列接続された複数のTMR素子25aのうち、任意のTMR素子25aには第1の実施形態と同様の方法でデータが書き込まれる。そして、任意のTMR素子25aに書き込まれたデータは、次のような方法で読み出される。

【0088】まず、第1のサイクルにおいて、下部電極19aに接続された読み出し用のトランジスタをONさせて、並列接続された複数のTMR素子25aに第1の読み出し電流を流す。そして、この第1の読み出し電流をセンス回路(図示せず)に記憶させる。その後、読み出し用のトランジスタをOFFさせて読み出し電流をOFFさせる。

【0089】次に、第2のサイクルにおいて、ワード線27及びピット線26に、期待値“1”又は“0”データが書き込まれる書き込み電流を流し、任意のTMR素子25aに再度データの書き込みを行う。その後、この書き込み電流をOFFさせる。

【0090】次に、第3のサイクルにおいて、読み出し用のトランジスタをONさせて、並列接続された複数のTMR素子25aに第2の読み出し電流を流す。そして、この第2の読み出し電流をセンス回路に記憶させる。その後、第1のサイクルでセンス回路に記憶した第1の読み出し電流と第3のサイクルでセンス回路に記憶した第2の読み出し電流とが比較される。ここで、書き込み時に期待値“1”データの書き込み動作が行われた場合、第1及び第2の読み出し電流が変わらなければ

“1”データが、第1及び第2の読み出し電流が変化していれば“0”データが、任意のTMR素子25aに書き込まれていたことになる。一方、書き込み時に期待値“0”データの書き込み動作が行われた場合、第1及び第2の読み出し電流が変わらなければ“0”データが、第1及び第2の読み出し電流が変化していれば“1”データが、任意のTMR素子25aに書き込まれていたことになる。このようにして、任意のTMR素子25aに書き込まれていたデータを読み出すことが可能になる。

【0091】その後、第4のサイクルにおいて、任意のTMR素子25aにイニシャル(初期)状態と同じデータが再び書き込まれるように、ワード線27及びピット線26に電流を流して、読み出し動作が終了する。

【0092】周辺回路部は、第1乃至第3の実施形態と同様の構造である。つまり、図18に示すように、第4

の配線19bと第5の配線20bとを接続するTMR素子25bは抵抗素子30として用いられる。また、図19に示すように、第4の配線19bと第5の配線20bとを接続するTMR素子25bはフューズ素子50として利用される。また、図20に示すように、第3の配線18b'、第4の配線19bと、これら第3、第4の配線18b'、19b間の絶縁膜15とからキャパシタ61が形成される。この際、第4の配線19bと第5の配線20bとを接続するTMR素子25bは、ゴンタクト60として利用される。

【0093】上記第6の実施形態によれば、第1乃至第3の実施形態と同様の効果をそれぞれ得ることができる。

【0094】さらに、第6の実施形態では、一つのTMR素子25a毎に読み出し用のスイッチング素子を形成しないことから、第1乃至第4の実施形態よりも、メモリセル部の専有面積を縮小することができる。

【0095】また、出力電圧を大幅に低下させることなくTMR素子25aの並列数を増やすことが可能である。このため、メモリセルの集積度を上げていくことが可能であり、その分、MR比が低いTMR素子25aを用いたり、MR比や抵抗値のばらつきが大きなTMR素子25aを用いたりしても、十分実用レベルのメモリセルを形成することができる。従って、メモリセルを高密度に配置したRAMを実現できる。

【0096】また、第6の実施形態における読み出し動作によれば、第1のサイクルでセンス回路に記憶した第1の読み出し電流と、第3のサイクルでセンス回路に記憶した第2の読み出し電流とを比較し、その結果、2つの電流値に変化が生じない場合は期待値通りの書き込みが行われたと判定され、2つの電流値に変化が生じた場合は期待値と異なる書き込みが行われたと判定される。このように、第6の実施形態によれば、“1”、“0”データを判定するマージンを十分確保できるようになる。

【0097】[第7の実施形態] 第7の実施形態は、上記第1乃至第3の実施形態におけるメモリセル部の構造を変形したものであり、TMR素子が積層方向に積み上げられた第1の積層構造である。そして、この第1の積層構造は、積層された複数のTMR素子が直列に接続されており、この直列接続されたTMR素子は読み出しピット線及び読み出し用のスイッチング素子を共通して用いている。

【0098】図21乃至図23は、本発明の第7の実施形態に係る半導体記憶装置の断面図を示す。第7の実施形態において、第1乃至第3の実施形態と同様の構造は簡略的に説明する。

【0099】メモリセル部は、第1乃至第4のTMR素子25a-n(n=1, 2, 3, 4)が半導体基板11上に積層方向に積み上げられ、これら第1乃至第4のT

MR素子25a-nが直列に接続されている。尚、第7の実施形態では、4つのTMR素子25a-nを積み上げた場合を例にあげているが、TMR素子25a-nの数はこれに限定されずいくつであってもよい。以下に、4つのTMR素子25a-nを積み上げた場合を例にあげて、具体的な構造について説明する。

【0100】第1乃至第4のTMR素子25a-nは、書き込みビット線26-nと書き込みワード線27-nとの交点にそれぞれ配置されている。第1乃至第4のTMR素子25a-nの一端部には下部配線18a-nが接続され、第1乃至第4のTMR素子25a-nの他端部には上部配線19a-nが接続されている。

【0101】そして、第1のTMR素子25a-1の上部配線19a-1と第2のTMR素子25a-2の下部配線18a-2とは、コンタクト81a-1、23a-2及び配線17a-2を介して、接続されている。第2のTMR素子25a-2の上部配線19a-2と第3のTMR素子25a-3の下部配線18a-3とは、コンタクト81a-2、23a-3及び配線17a-3を介して、接続されている。第3のTMR素子25a-3の上部配線19a-3と第4のTMR素子25a-4の下部配線18a-4とは、コンタクト81a-3、23a-4及び配線17a-4を介して、接続されている。

【0102】また、第1のTMR素子25a-1の下部配線18a-1には、コンタクト23a-1、22a、21a及び配線17a-1、16aを介して、読み出し用のスイッチング素子であるMOSFET14が接続されている。第4のTMR素子25a-4の上部配線19a-4には、コンタクト81a-4を介して、読み出しビット線82aが接続されている。従って、直列接続された第1乃至第4のTMR素子25a-nは、読み出し用のスイッチング素子及び読み出しワード線82aを共通して用いている。

【0103】このような積層構造の場合、直列接続された第1乃至第4のTMR素子25a-nのうち任意のTMR素子には、上記第6の実施形態と同様の方法で、データの書き込み及び読み出しが行われる。

【0104】周辺回路部は、第1乃至第3の実施形態と同様の構造である。つまり、図21に示すように、第3の配線18b-1と第4の配線19b-1とを接続する第1のTMR素子25b-1、第7の配線18b-2と第8の配線19b-2とを接続する第2のTMR素子25b-2、第11の配線18b-3と第12の配線19b-3とを接続する第3のTMR素子25b-3、第15の配線18b-4と第16の配線19b-4とを接続する第4のTMR素子25b-4は、抵抗素子30として用いられる。また、図22に示すように、第15の配線18b-4と第16の配線19b-4とを接続するTMR素子25bは、フューズ素子50として利用される。また、図23に示すように、第14の配線17b'

-4と、第15の配線18b-4と、これら第14、第15の配線17b'-4、18b-4間の絶縁膜15とからキャパシタ61が形成される。この際、第15の配線18b-4と第16の配線19b-4とを接続するTMR素子25bは、コンタクト60として利用される。

【0105】上記第7の実施形態によれば、第1乃至第3の実施形態と同様の効果をそれぞれ得ることができる。

【0106】さらに、第7の実施形態では、一つのTMR素子毎に読み出し用のスイッチング素子を形成しないことから、第1乃至第4の実施形態よりも、メモリセル部の専有面積をさらに縮小することができる。

【0107】尚、データの読み出し用のスイッチング素子はMOSFET14に限定されず、例えばダイオードを用いてもよい。

【0108】【第8の実施形態】第8の実施形態は、上記第1乃至第3の実施形態におけるメモリセル部の構造を変形したものであり、TMR素子が積層方向に積み上げられた第2の積層構造である。そして、この第2の積層構造は、積層された複数のTMR素子が並列に接続されており、この並列接続されたTMR素子は読み出しビット線及び読み出し用のスイッチング素子を共通して用いている。

【0109】図24乃至図26は、本発明の第8の実施形態に係る半導体記憶装置の断面図を示す。第8の実施形態において、第1乃至第3の実施形態と同様の構造は簡略的に説明する。

【0110】メモリセル部は、第1乃至第4のTMR素子25a-nが半導体基板11上に積層方向に積み上げられ、これら第1乃至第4のTMR素子25a-nが並列に接続されている。尚、第8の実施形態では、4つのTMR素子25a-nを積み上げた場合を例にあげているが、TMR素子25a-nの数はこれに限定されずいくつであってもよい。以下に、4つのTMR素子25a-nを積み上げた場合を例にあげて、具体的な構造について説明する。

【0111】第1乃至第4のTMR素子25a-nは、書き込みビット線26-nと書き込みワード線27-nとの交点にそれぞれ配置されている。第1乃至第4のTMR素子25a-nの一端部には下部配線18a-nが接続され、第1乃至第4のTMR素子25a-nの他端部には上部配線19a-nが接続されている。

【0112】そして、第1のTMR素子25a-1の下部配線18a-1は、コンタクト81a-1、23a-2及び配線17a-2を介して、第2のTMR素子25a-2の下部配線18a-2に接続されている。この第2のTMR素子25a-2の下部配線18a-2は、コンタクト81a-2、23a-3及び配線17a-3を介して、第3のTMR素子25a-3の下部配線18a-3に接続されている。この第3のTMR素子25a-

21

3の下部配線18a-3は、コンタクト81a-3、23a-4及び配線17a-4を介して、第4のTMR素子25a-4の下部配線18a-4に接続されている。

【0113】一方、第1のTMR素子25a-1の上部配線19a-1は、コンタクト83a-1を介して、第2のTMR素子25a-2の上部配線19a-2に接続されている。この第2のTMR素子25a-2の上部配線19a-2は、コンタクト83a-2を介して、第3のTMR素子25a-3の上部配線19a-3に接続されている。この第3のTMR素子25a-3の上部配線19a-3は、コンタクト83a-3を介して、第4のTMR素子25a-4の上部配線19a-4に接続されている。

【0114】また、第1のTMR素子25a-1の下部配線18a-1には、コンタクト23a-1、22a、21a及び配線17a-1、16aを介して、読み出し用のスイッチング素子であるMOSFET14が接続されている。第4のTMR素子25a-4の上部配線19a-4には、コンタクト81a-4を介して、読み出しビット線82aが接続されている。従って、並列接続された第1乃至第4のTMR素子25a-nは、読み出し用のスイッチング素子及び読み出しワード線82aを共通して用いている。

【0115】このような積層構造の場合、並列接続された第1乃至第4のTMR素子25a-nのうち任意のTMR素子には、上記第6の実施形態と同様の方法で、データの書き込み及び読み出しが行われる。

【0116】周辺回路部は、第1乃至第3の実施形態と同様の構造である。つまり、図21に示すように、第3の配線18b-1と第4の配線19b-1とを接続する第1のTMR素子25b-1、第7の配線18b-2と第8の配線19b-2とを接続する第2のTMR素子25b-2、第11の配線18b-3と第12の配線19b-3とを接続する第3のTMR素子25b-3、第15の配線18b-4と第16の配線19b-4とを接続する第4のTMR素子25b-4は、抵抗素子30として用いられる。また、図22に示すように、第15の配線18b-4と第16の配線19b-4とを接続するTMR素子25bは、フューズ素子50として利用される。また、図23に示すように、第14の配線17b'-4と、第15の配線18b-4と、これら第14、第15の配線17b'-4、18b-4間の絶縁膜15とからキャパシタ61が形成される。この際、第15の配線18b-4と第16の配線19b-4とを接続するTMR素子25bは、コンタクト60として利用される。

【0117】上記第8の実施形態によれば、第1乃至第3の実施形態と同様の効果をそれぞれ得ることができる。

【0118】さらに、第8の実施形態では、一つのTMR素子毎に読み出し用のスイッチング素子を形成しない

22

ことから、第1乃至第4の実施形態よりも、メモリセル部の専有面積をさらに縮小することができる。

【0119】尚、データの読み出し用のスイッチング素子はMOSFET14に限定されず、例えばダイオードを用いてもよい。

【0120】【第9の実施形態】第9の実施形態は、上記第1乃至第3の実施形態におけるメモリセル部の構造を変形したものであり、TMR素子が積層方向に積み上げられた第3の積層構造である。そして、この第3の積層構造では、積層された複数のTMR素子の下部電極が直列に接続されており、積層された複数のTMR素子が読み出し用のスイッチング素子を共通して用いている。

【0121】図27乃至図29は、本発明の第9の実施形態に係る半導体記憶装置の断面図を示す。第9の実施形態において、第1乃至第3の実施形態と同様の構造は簡略的に説明する。

【0122】メモリセル部は、第1乃至第4のTMR素子25a-nが半導体基板11上に積層方向に積み上げられている。尚、第9の実施形態では、4つのTMR素子25a-nを積み上げた場合を例にあげているが、TMR素子25a-nの数はこれに限定されずいくつであってもよい。以下に、4つのTMR素子25a-nを積み上げた場合を例にあげて、具体的な構造について説明する。

【0123】第1乃至第4のTMR素子25a-nは、ビット線26-nと書き込みワード線27-nとの交点にそれぞれ配置されている。第1乃至第4のTMR素子25a-nの一端部には下部配線18a-nが接続されている。そして、第1乃至第4のTMR素子25a-nの下部配線18a-nは、コンタクト22a-n、21a、81a-n及び配線17a-nを介して、読み出し用のスイッチング素子であるMOSFET14に接続されている。従って、積み上げられた第1乃至第4のTMR素子25a-nは、読み出し用のスイッチング素子を共通して用いている。

【0124】このような積層構造の場合、第1乃至第4のTMR素子25a-nのうち任意のTMR素子には、上記第1の実施形態と同様の方法で、データの書き込み及び読み出しが行われる。尚、データの読み出しの際、スイッチング素子であるMOSFET14は、積み上げられた第1乃至第4のTMR素子25a-nで共有することになる。

【0125】周辺回路部は、第1乃至第3の実施形態と同様の構造である。つまり、図27に示すように、第12の配線18bと第13の配線20b-4とを接続するTMR素子25bは、抵抗素子30として用いられる。また、図28に示すように、第12の配線18bと第13の配線20b-4とを接続するTMR素子25bは、フューズ素子50として利用される。また、図29に示すように、第11の配線17b'-4と、第12の配線

18bと、これら第11及び第12の配線17b' - 4、18b間の絶縁膜15とからキャパシタ61が形成される。この際、第12の配線18bと第13の配線20b - 4とを接続するTMR素子25bは、コンタクト60として利用される。

【0126】上記第9の実施形態によれば、第1乃至第3の実施形態と同様の効果をそれぞれ得ることができる。

【0127】さらに、第9の実施形態では、一つのTMR素子毎に読み出し用のスイッチング素子を形成しないことから、第1乃至第4の実施形態よりも、メモリセル部の専有面積をさらに縮小することができる。

【0128】尚、図27乃至図29に示す構造では、ビット線26-nはMOSFET14のチャネル長と同一の方向に延在させ、書き込みワード線27-nはMOSFET14のチャネル長とほぼ90度ずらした方向に延在させていた。しかし、第9の実施形態において、ビット線26-n及び書き込みワード線27-nの延在方向を反対にしてもよい。すなわち、図30乃至図32に示すように、ビット線26-nはMOSFET14のチャネル長とほぼ90度ずらした方向に延在させ、書き込みワード線27-nはMOSFET14のチャネル長と同一の方向に延在させてもよい。

【0129】また、データの読み出し用のスイッチング素子はMOSFET14に限定されず、例えばダイオードを用いてもよい。

【0130】その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。例えば、記憶素子31としてTMR素子の代わりに、2つの磁性層とこれら磁性層に挟まれた導体層とからなるGMR(Giant Magneto Resistive)素子を用いてもよい。また、読み出し用のスイッチング素子として用いたMOSFET14の代わりに、例えばバイポーラトランジスタ等を用いてもよい。

【0131】さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0132】

【発明の効果】以上説明したように本発明によれば、チップ面積の縮小が可能な半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体記憶装置を示す断面図。

【図2】本発明の第1の実施形態に係わり、TMR素子

を直列接続する場合の半導体記憶装置を示す断面図。

【図3】本発明の第1の実施形態に係わり、TMR素子を並列接続する場合の半導体記憶装置を示す断面図。

【図4】本発明の各実施形態に係わり、1重トンネル接合構造のTMR素子を示す断面図。

【図5】本発明の各実施形態に係わり、2重トンネル接合構造のTMR素子を示す断面図。

【図6】従来技術による半導体記憶装置を示す平面図。

10 【図7】本発明の第1の実施形態に係わる半導体記憶装置を示す平面図。

【図8】本発明の第2の実施形態に係わる半導体記憶装置を示す断面図。

【図9】従来技術による半導体記憶装置を示す平面図。

【図10】本発明の第2の実施形態に係わる半導体記憶装置を示す断面図。

【図11】本発明の第3の実施形態に係わる半導体記憶装置を示す断面図。

20 【図12】本発明の第4の実施形態に係わり、第1の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図13】本発明の第4の実施形態に係わり、第2の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図14】本発明の第4の実施形態に係わり、第3の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図15】本発明の第5の実施形態に係わり、第1の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

30 【図16】本発明の第5の実施形態に係わり、第2の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図17】本発明の第5の実施形態に係わり、第3の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図18】本発明の第6の実施形態に係わり、第1の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

40 【図19】本発明の第6の実施形態に係わり、第2の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図20】本発明の第6の実施形態に係わり、第3の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図21】本発明の第7の実施形態に係わり、第1の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図22】本発明の第7の実施形態に係わり、第2の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図23】本発明の第7の実施形態に係わり、第3の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図24】本発明の第8の実施形態に係わり、第1の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図25】本発明の第8の実施形態に係わり、第2の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図26】本発明の第8の実施形態に係わり、第3の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図27】本発明の第9の実施形態に係わり、第1の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図28】本発明の第9の実施形態に係わり、第2の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図29】本発明の第9の実施形態に係わり、第3の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図30】本発明の第9の実施形態の変形例に係わり、第1の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図31】本発明の第9の実施形態の変形例に係わり、第2の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図32】本発明の第9の実施形態の変形例に係わり、第3の実施形態のメモリセル部を変形した半導体記憶装置を示す断面図。

【図33】従来技術による半導体記憶装置を示す回路図。

【図34】従来技術による半導体記憶装置を示す概略断面図。

【図35】従来技術による抵抗素子を有する半導体記憶装置を示す断面図。

【図36】従来技術によるフューズ素子を有する半導体記憶装置を示す断面図。

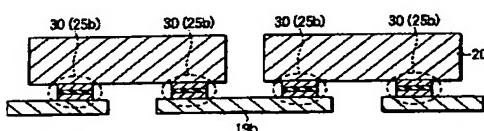
【符号の説明】

1 1 …半導体基板又はウェル、

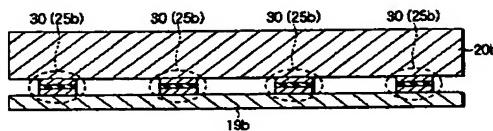
* 40

- * 1 2 …素子分離領域、
1 3 a、1 3 b …拡散層、
1 4 …M O S F E T、
1 5 …絶縁膜、
1 6 a、1 6 b、1 7 a、1 7 b、1 7 a-n、1 7 b-n、1 8 a、1 8 b、1 8 b'、1 8 a-n、1 8 b-n、1 9 a、1 9 b、1 9 a-n、1 9 b-n、2 0 a、2 0 b、2 0 b-n、8 2 b …配線、
2 1 a、2 1 b、2 2 a、2 2 b、2 3 a、2 3 b、2 3 a-n、2 3 b-n、2 4 a、2 4 b、8 1 a-n、8 1 b-n、8 3 a-n、8 3 b-n …コンタクト、
2 5 a、2 5 b、2 5 a-n、2 5 b-n …T M R 素子、
2 6 …書き込み及び読み出しビット線、
2 6-n …書き込みビット線、
2 7、2 7-n …書き込みワード線、
2 7' …書き込み及び読み出しワード線、
2 8 …読み出しワード線、
2 9 …G n d 線、
3 0 …抵抗素子、
3 1 …記憶素子、
4 1、4 1 a、4 1 b …磁化固定層、
4 2、4 2 a、4 2 b …トンネル接合層、
4 3 …磁気記録層、
4 3'、4 3" …強磁性層、
5 0 …フューズ素子、
6 0 …コンタクト、
6 1 …キャバシタ、
7 0 …ダイオード、
7 1 …P型拡散層、
7 2 …N型拡散層、
8 2 a …読み出しビット線、
1 0 1 …テンプレート層、
1 0 2 …初期強磁性層、
1 0 3 …反強磁性層、
1 0 4、1 0 4'、1 0 4" …基準強磁性層、
1 0 5、1 0 5'、1 0 5" …自由記録層、
1 0 6 …接点層、
1 0 7 …非磁性層。

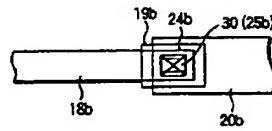
【図2】



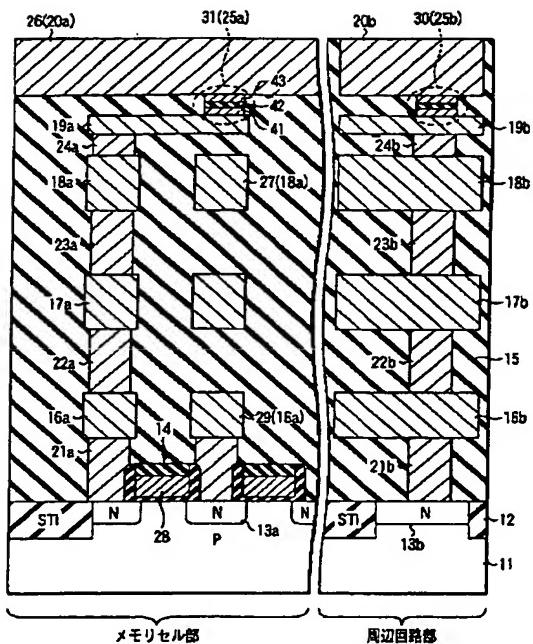
【図3】



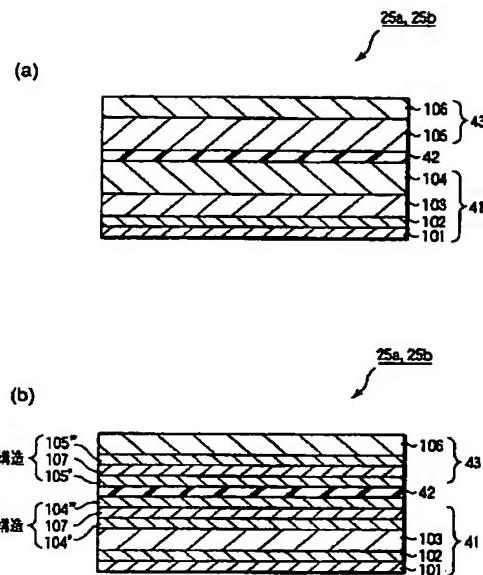
【図7】



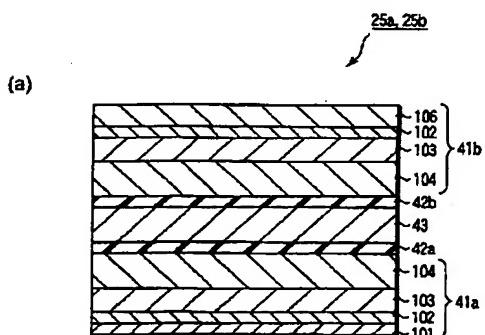
【図1】



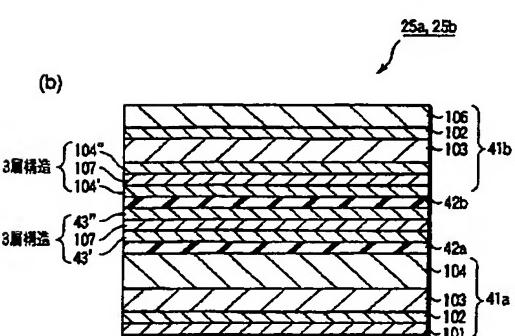
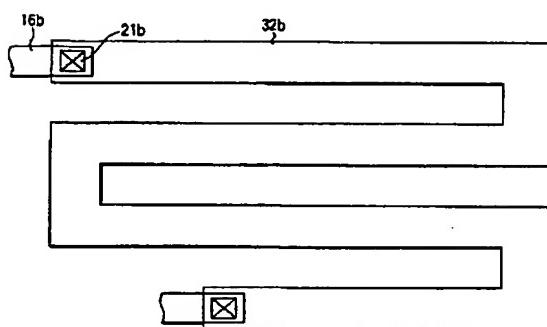
【図4】



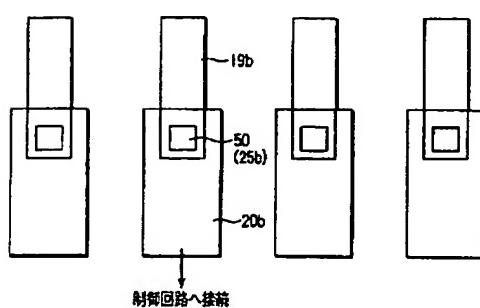
【図5】



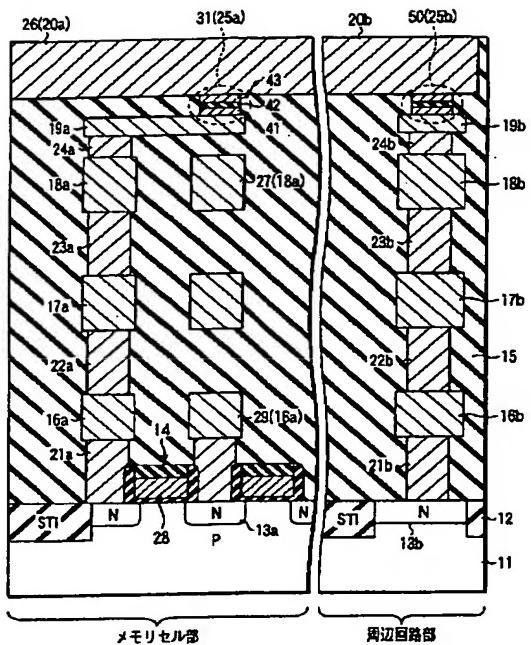
【図6】



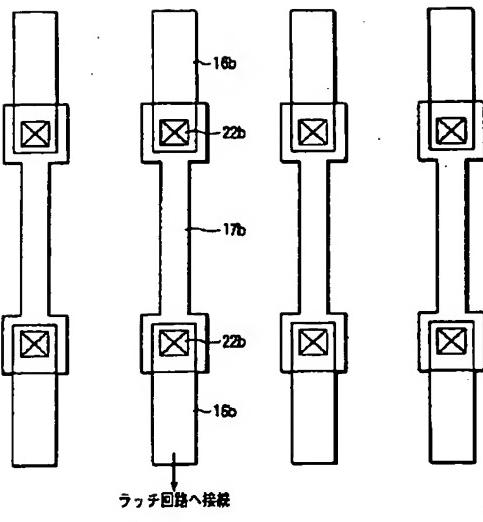
【図10】



【図8】

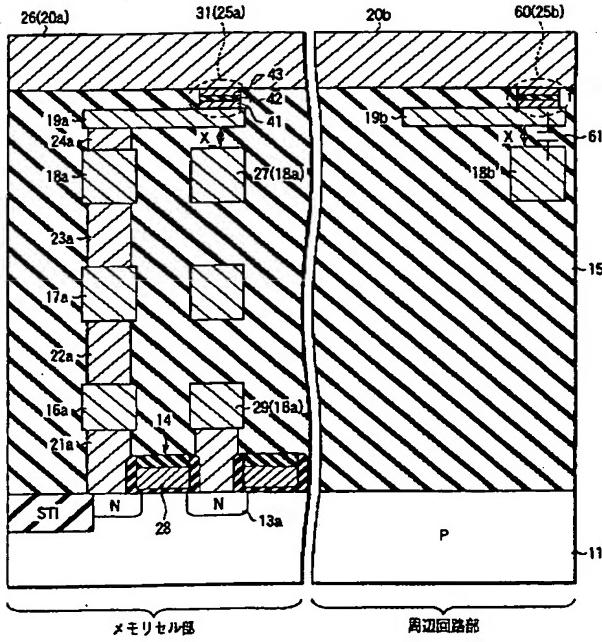


【図9】

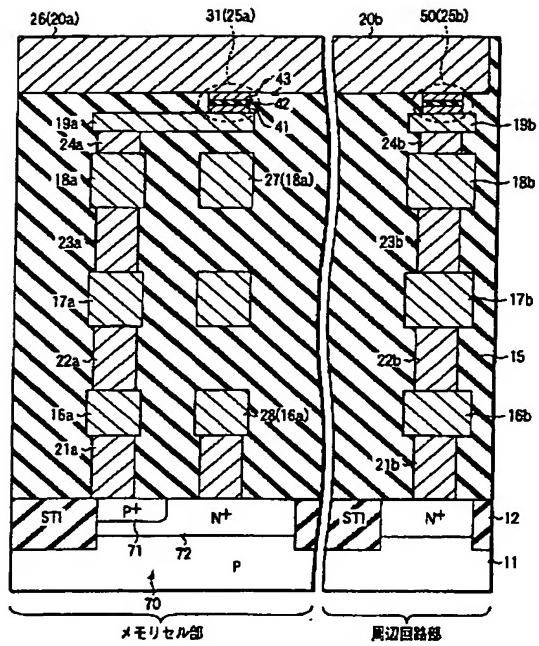


[図12]

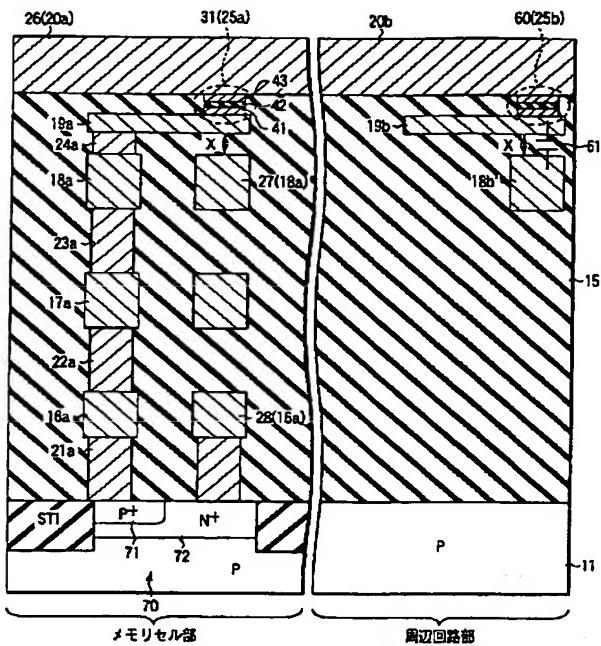
[図11]



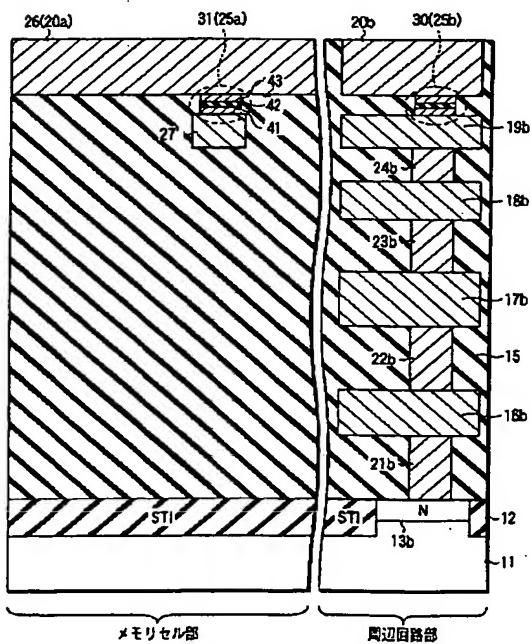
【図13】



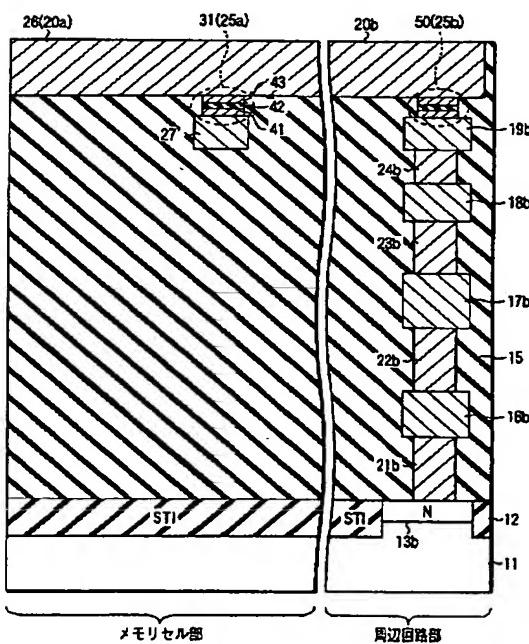
【図14】



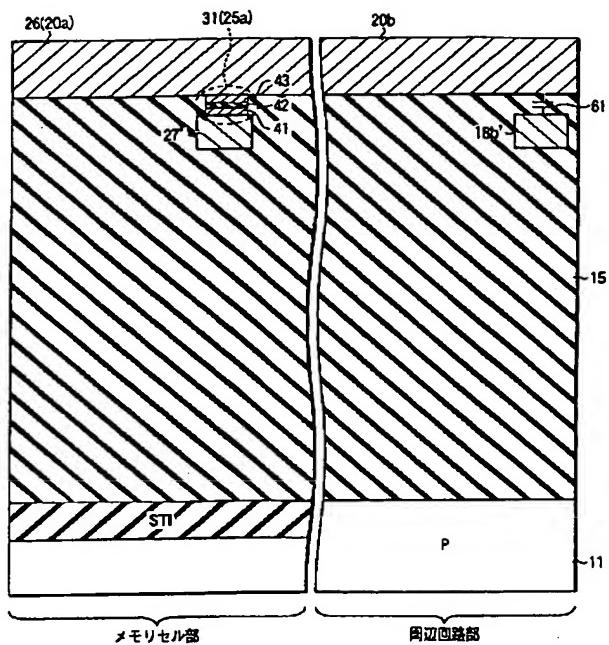
【図15】



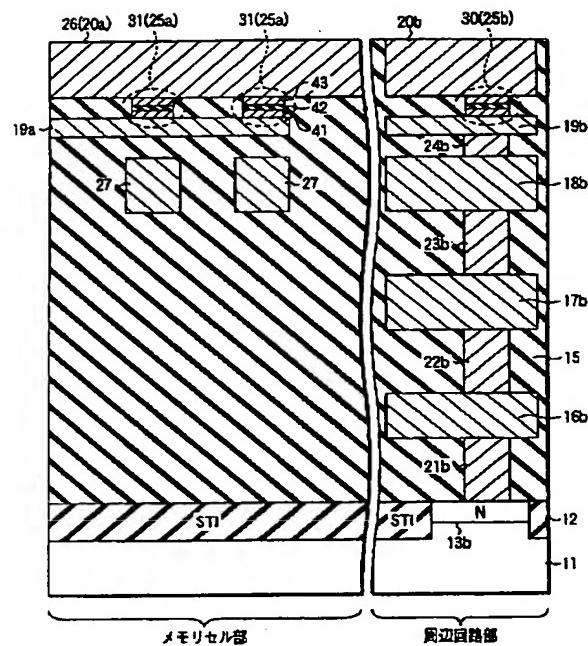
【図16】



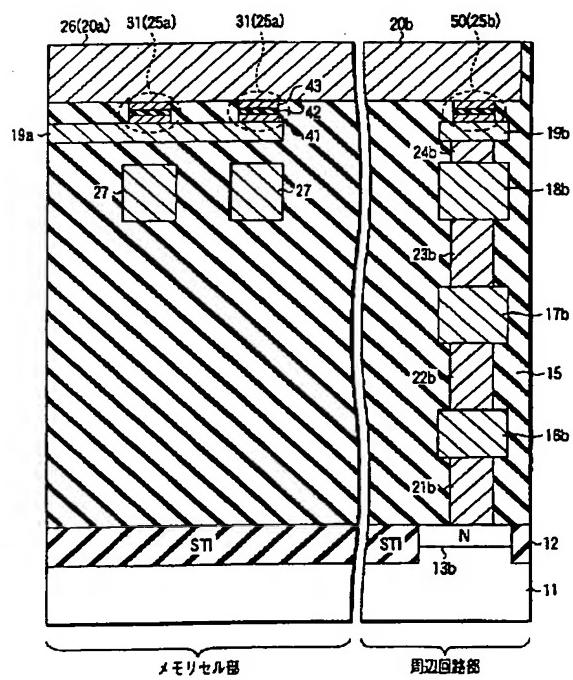
【図17】



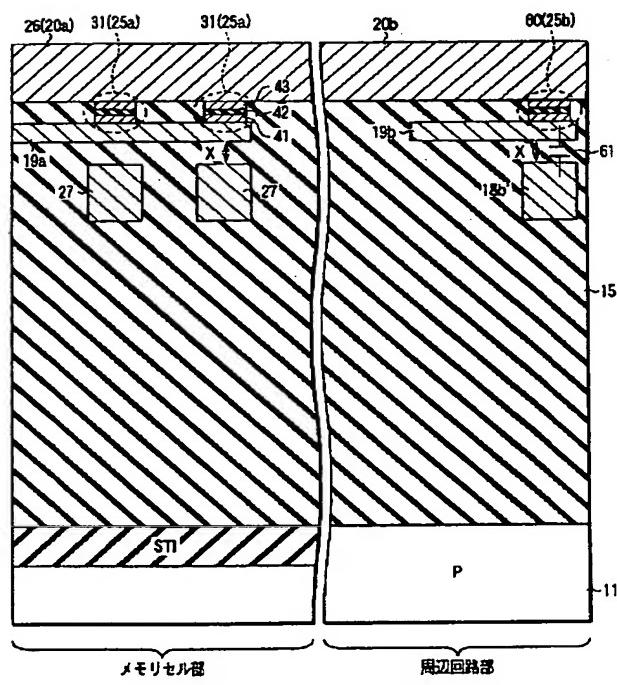
【図18】



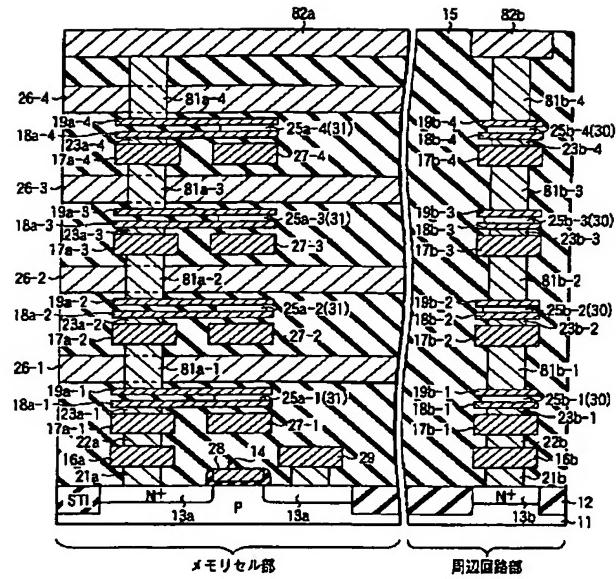
【図19】



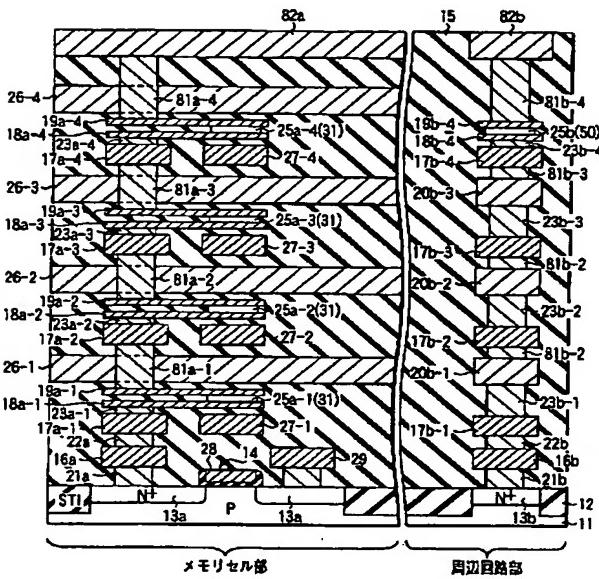
【図20】



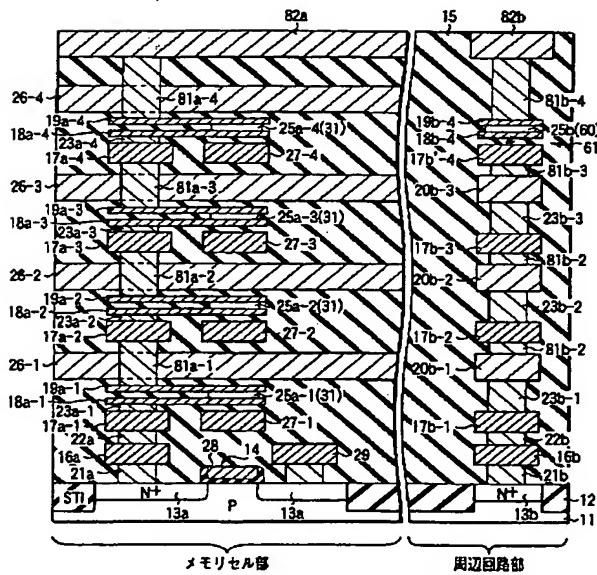
【図21】



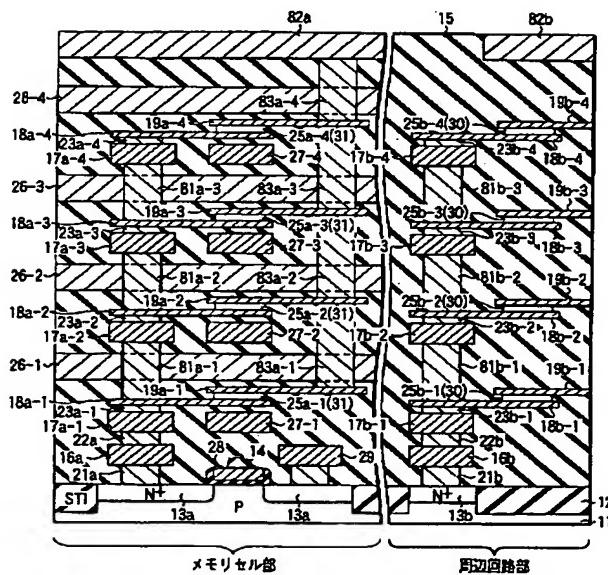
【図22】



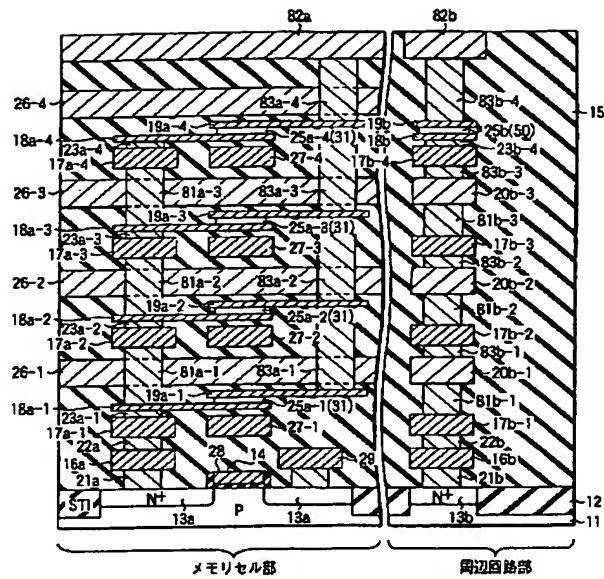
【図23】



【図24】



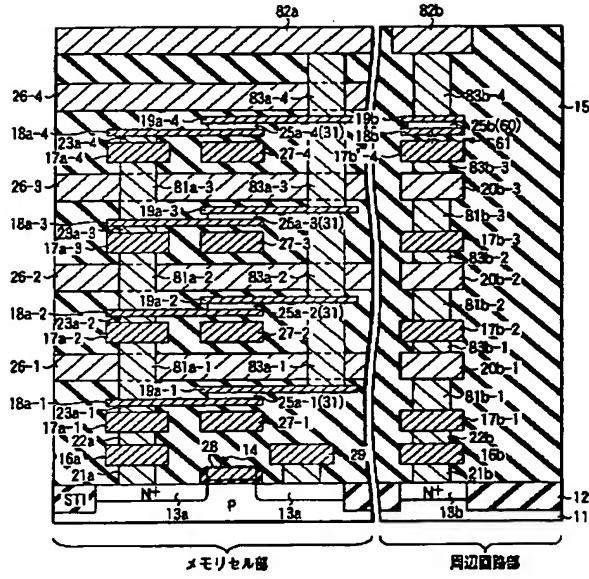
【図25】



メモリセル部

周辺回路部

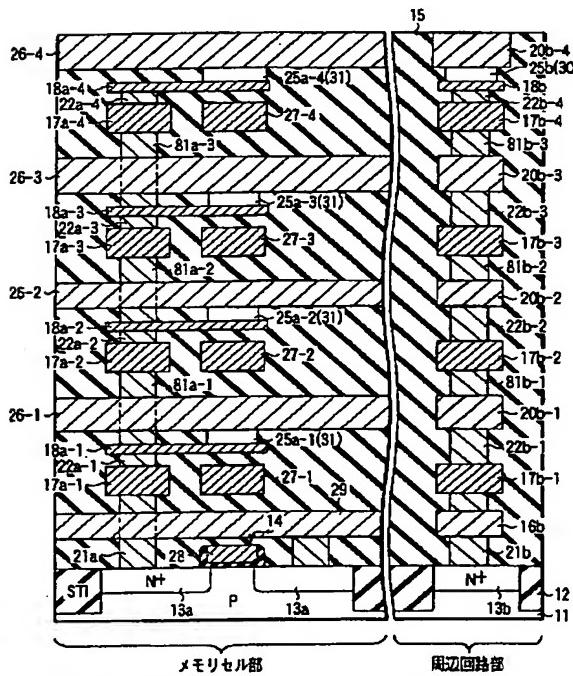
【図26】



メモリセル部

周辺回路部

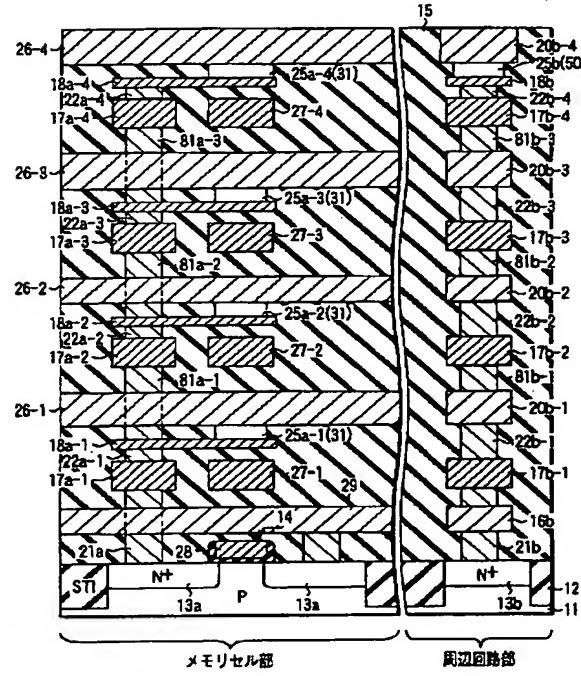
【図27】



メモリセル部

周辺回路部

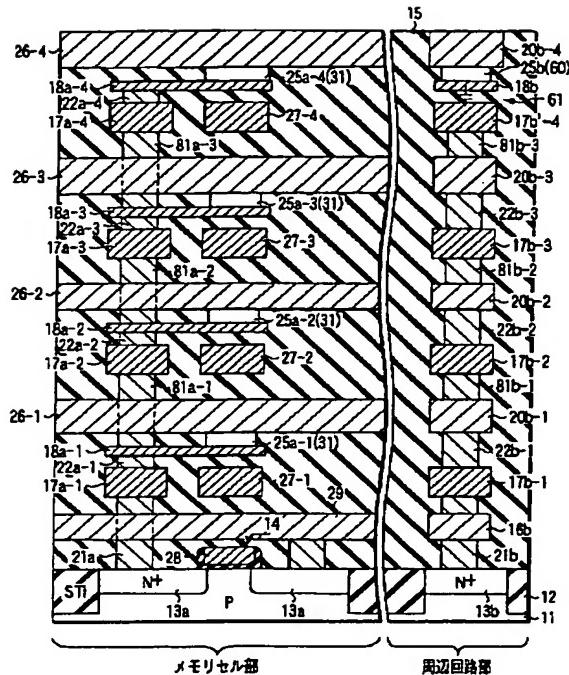
【図28】



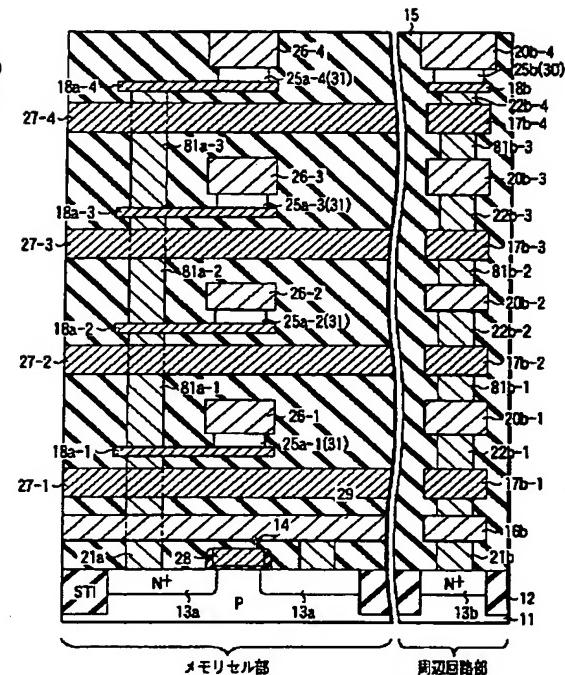
メモリセル部

周辺回路部

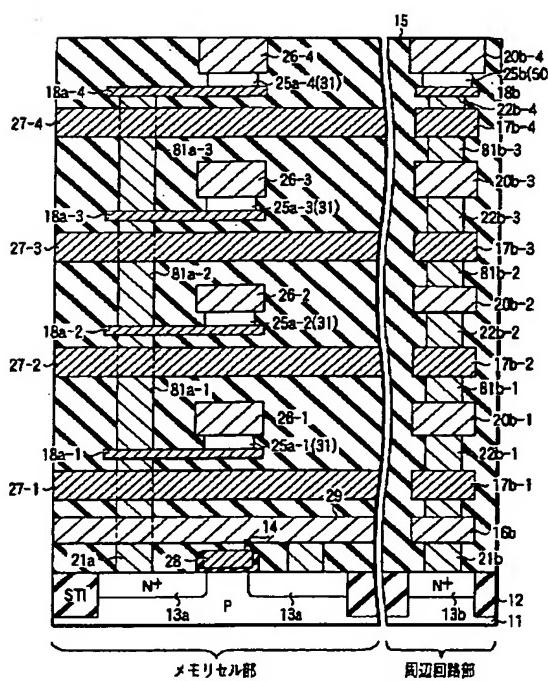
【図29】



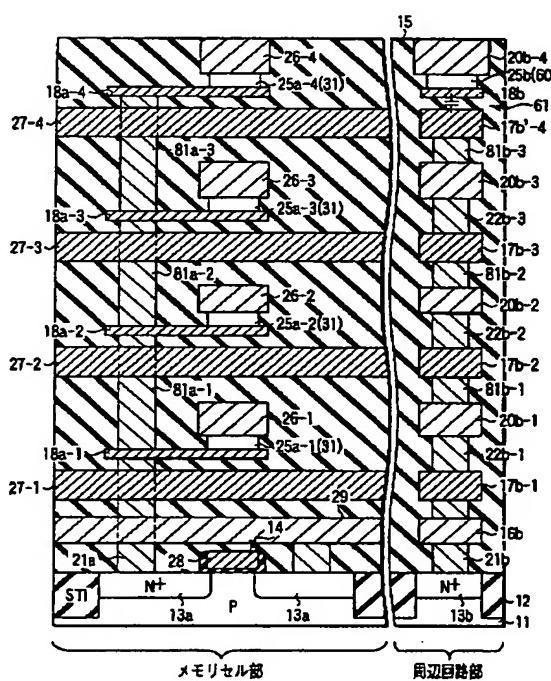
【図30】



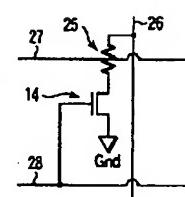
【図31】



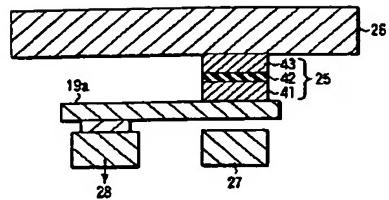
【図32】



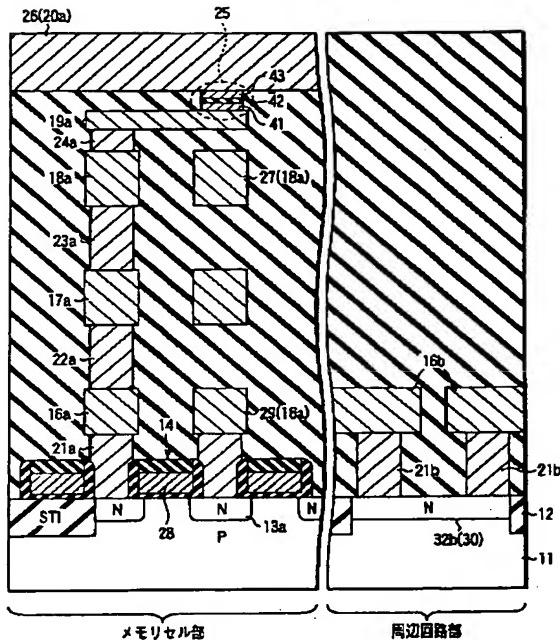
【図33】



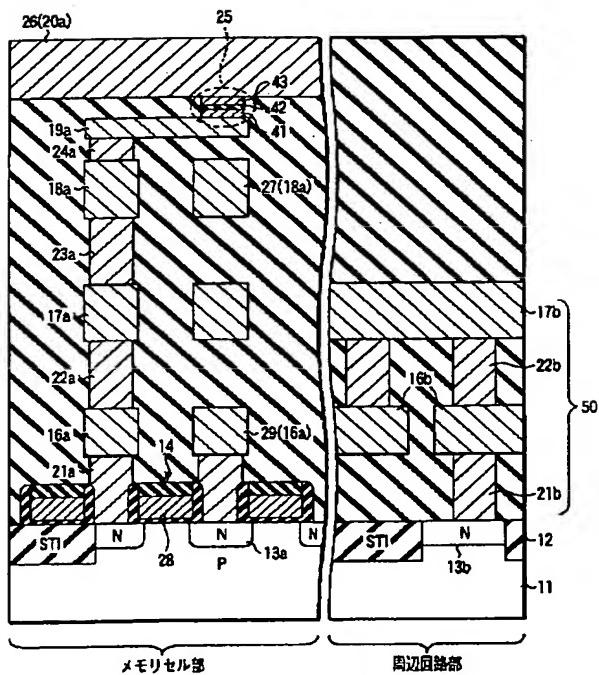
【図34】



【図35】



【図36】



フロントページの続き

(51) Int.Cl. 7 識別記号 F I テーマコード*(参考)
H 01 L 27/10 481 H 01 L 27/06 102A
43/08

(72) 発明者 中島 健太郎 F ターム(参考) 5F048 AA01 AB01 AC10 BA01 BF12
神奈川県横浜市磯子区新杉田町8番地 株 5F083 FZ10 GA09 KA20 MA06 MA16
式会社東芝横浜事業所内 PR42 PR52 PR57 ZA10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.